**BÀI THÍ NGHIỆM 4**

THỰC HIỆN VÀ MÔ PHỎNG HỆ TỔ HỢP VÀ TUẦN TỰ CƠ BẢN TRÊN FPGA

### **MỤC TIÊU**

* Nắm được cách sử dụng kit thí nghiệm, phần mềm lập trình.
* Nắm được cách khảo sát và thiết kế hệ mạch đếm sử dụng các IC chức năng cơ bản.
* Nắm được quy trình mô tả phần cứng trên FPGA.

### **CHUẨN BỊ**

* Bài thí nghiệm 0 của tài liệu hướng dẫn phần Thí nghiệm trên kit DE2.
* Sinh viên phải hoàn thành và nộp PRELAB 4 trước khi vào lớp.

**THÍ NGHIỆM 1**

***Mục tiêu:*** Nắm được các thức mô tả mạch tính giá trị tuyệt đối của một số 4 bit sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

***Yêu cầu:*** Sinh viên thực hiện mô tả mạch tính giá trị tuyệt đối của một số 4 bit (số ngõ vào lần lượt là A, ngõ ra là S).

***Kiểm tra:***

* Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối và/hoặc diễn dãi để giáo viên hiểu được ý tưởng của mình)
* Chương trình mô tả hoạt động của thiết kế.

|  |
| --- |
|  |

* Kết quả mô phỏng dạng sóng.
* Kết quả RTL viewer.
* Sinh viên thực hiện gán chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.

*Gán chân theo mẫu sau:*

Chân A[3:0] được nối với SW0-SW3

Chân S[3:0] được nối với LEDR[3:0]

**THÍ NGHIỆM 2**

***Mục tiêu:*** Nắm được các thức mô tả khối ALU (bộ tính toán) có chức năng đơn giản sử dụng systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

***Yêu cầu:*** Sinh viên thực hiện mô tả mạch cho mạch thực hiện bộ ALU tính toán 2 số 4 bit (hai số ngõ vào lần lượt là A và B, ngõ ra là S, cờ nhớ Ci và Co) thông qua ngõ vào điều khiển **2 bit** Sel.

- Nếu Sel=00: S=A+B

- Nếu Sel=01: S=A-B

- Nếu Sel=10: S=A AND B

- Nếu Sel=11: S=A OR B

***Kiểm tra:***

* Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối và/hoặc diễn dãi để giáo viên hiểu được ý tưởng của mình)
* Chương trình mô tả hoạt động của thiết kế.

|  |
| --- |
|  |

* Kết quả mô phỏng dạng sóng.
* Kết quả RTL viewer.
* Sinh viên thực hiện gán chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.

*Gán chân theo mẫu sau:*

Chân A[3:0] được nối với SW0-SW3

Chân B[3:0] được nối với SW4-SW7

Chân Ci được nối với SW8

Chân S[3:0] được nối với LEDR[3:0]

Chân Co được nối với LEDR[4]

**THÍ NGHIỆM 3**

***Mục tiêu:*** Nắm được các thức mô tả mạch đếm đầy đủ sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

***Yêu cầu:*** Sinh viên thực hiện thiết kế mô tả mạch đếm xuống 3 bit đầy đủ sử dụng ngôn ngữ system verilog. Giá trị đếm thay đổi sau mỗi 1s. Ngõ ra được kết nối với LED 7 đoạn loại anode chung. Ngoài ra, bộ đếm còn có chân RST (tích cực cao) dùng để reset trạng thái bộ đếm về 0.

*Gợi ý:*

- Tín hiệu clock được tạo từ bộ chia tần số từ 50MHz sang 1s.

- Sinh viên sử dụng chương trình chuyển từ mã BCD sang LED 7 đoạn trong PRELAB, kết nối ngõ ra của bộ đếm với ngõ vào của bộ chuyển đổi.

***Kiểm tra:***

* Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối và/hoặc diễn dãi để giáo viên hiểu được ý tưởng của mình)
* Chương trình mô tả hoạt động của thiết kế.

|  |
| --- |
|  |

* Kết quả mô phỏng dạng sóng.
* Kết quả RTL viewer.
* Sinh viên thực hiện gán chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.

*Gán chân theo mẫu sau:*

LED 7 đoạn là HEX0.

Chân RST là SW0.

**THÍ NGHIỆM 4**

***Mục tiêu:*** Nắm được các thức mô tả mạch đếm đầy đủ sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

***Yêu cầu:*** Sinh viên thực hiện thiết kế mô tả mạch **đếm lên 4 bit từ 5 đến 14** sử dụng ngôn ngữ system verilog. Giá trị đếm thay đổi sau mỗi 1s. Ngõ ra 4 bit được kết nối với 2 LED 7 đoạn loại anode chung. Ngoài ra, bộ đếm còn có chân RST (tích cực cao) dùng để reset trạng thái bộ đếm về 0.

*Gợi ý:*

- Tín hiệu clock được tạo từ bộ chia tần số từ 50MHz sang 1s.

- Sinh viên sử dụng chương trình chuyển từ mã BCD sang LED 7 đoạn trong PRELAB, kết nối ngõ ra của bộ đếm với ngõ vào của bộ chuyển đổi.

- Sinh viên cần viết thêm bộ chuyển đổi từ số 4 bit sang số BCD.

***Kiểm tra:***

* Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối và/hoặc diễn dãi để giáo viên hiểu được ý tưởng của mình)
* Chương trình mô tả hoạt động của thiết kế.

|  |
| --- |
|  |

* Kết quả mô phỏng dạng sóng.
* Kết quả RTL viewer.
* Sinh viên thực hiện gán chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.

*Gán chân theo mẫu sau:*

Hai LED 7 đoạn là HEX1 (trọng số cao) và HEX0 (trọng số thấp).

Chân RST là SW0.

**THÍ NGHIỆM 5**

***Mục tiêu:*** Nắm được các thức mô tả máy trạng thái sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

***Yêu cầu:*** Sinh viên tiến hành mô tả hệ tuần tự sau bằng VHDL sau đó nạp chương trình xuống kit DE2 để kiểm tra hoạt động:

Hệ tuần tự có 1 ngõ vào (X) và 1 ngõ ra (Z). Ngõ ra Z = 1 nếu tổng số bit 1 nhận được chia hết cho 3 (quy ước 0, 3, 6, 9, … là các số chia hết cho 3 ) và tổng số bit 0 nhận được là 1 số chẵn (lớn hơn 0).

*Ghi chú:* Sinh viên có thể lựa chọn thiết kế theo máy trạng thái kiểu Mealy hoặc Moore.

*Gán chân theo mẫu sau:*

Ngõ vào X được nối với SW0.

Tín hiệu CLK được nối với xung clock 1Hz (Trong bài PRELAB).

Ngõ ra Z được nối với LED0.

***Kiểm tra:***

* Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối (máy trạng thái) và/hoặc diễn dãi để giáo viên hiểu được ý tưởng của mình)
* Chương trình mô tả hoạt động của thiết kế.

|  |
| --- |
|  |

* Kết quả mô phỏng dạng sóng.
* Kết quả RTL viewer.
* Sinh viên thực hiện gán chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.

*Lưu ý:* Sinh viên nên nối clock 1Hz ra 1 LED để dễ quan sát tín hiệu clock.

**THÍ NGHIỆM 6**

***Mục tiêu:*** Nắm được các thức mô tả máy trạng thái sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

***Yêu cầu:*** Sinh viên tiến hành mô tả hệ tuần tự sau bằng VHDL sau đó nạp chương trình xuống kit DE2 để kiểm tra hoạt động:

Một hệ thống cung cấp thức ăn và nước uống tự động cho thú cưng gồm 2 ngõ vào là 2 nút nhấn  
RED, BLUE; và 2 ngõ ra là tín hiệu FOOD, WATER để kích hoạt máy cung cấp thức ăn và  
nước uống

- Nút RED (tín hiệu R; khi nhấn nút R=1, ngược lại R=0): khi con vật đói muốn ăn thì cần  
nhấn nút RED 3 lần liến tiếp. Khi đó tín hiệu F (FOOD) = 1 để kích hoạt máy cung cấp thức  
ăn.  
- Nút BLUE (tín hiệu B; khí nhấn nút B=1, ngược lại B=0): khi con vật khát muốn uống thì  
cần nhấn nút BLUE 2 lần liên tiếp. Khi đó tín hiệu W (WATER) = 1 để kích hoạt máy cung  
cấp nước uống.

***Chú ý:***

- Khi tín hiệu kích hoạt F hay W bằng 1, nếu nhấn 1 nút bất kỳ hệ thống sẽ trở lại trạng thái  
reset.  
- Ở mỗi thời điểm, chỉ có 1 nút nhấn.

- Các nút nhấn cần phải được tác động liên tiếp, nếu có 1 nút sai trình tự, máy trạng thái sẽ  
quay trở về trạng thái ban đầu. (ví dụ: khi các nút nhấn được tác động theo trình tự (RED,  
RED, BLUE), máy trạng thái quay về trạng thái đầu reset).

*Ghi chú:* Sinh viên có thể lựa chọn thiết kế theo máy trạng thái kiểu Mealy hoặc Moore.

*Gán chân theo mẫu sau:*

Ngõ vào RED và BLUE lần lượt được nối với SW0 và SW1.

Tín hiệu CLK được nối với xung clok 1Hz (Trong bài PRELAB).

Ngõ ra FOOD và WATER lần lượt được nối với LED0 và LED1.

***Kiểm tra:***

* Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối (máy trạng thái) và/hoặc diễn dãi để giáo viên hiểu được ý tưởng của mình)
* Chương trình mô tả hoạt động của thiết kế.

|  |
| --- |
|  |

* Kết quả mô phỏng dạng sóng.
* Kết quả RTL viewer.
* Sinh viên thực hiện gán chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.

*Lưu ý:* Sinh viên nên nối clock 1Hz ra 1 LED để dễ quan sát tín hiệu clock.